

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-135270  
(43)Date of publication of application : 22.05.1998

(51)Int.Cl. H01L 21/60

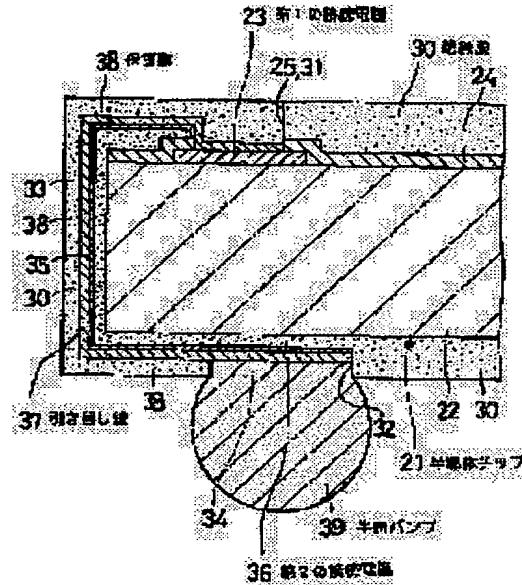
(21)Application number : 08-304193 (71)Applicant : CASIO COMPUT CO LTD  
(22)Date of filing : 31.10.1996 (72)Inventor : YAMAMOTO MICHIEHIKO

**(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To obtain a semiconductor device referred to as a CSP (chip size package) having such a structure as a component independent from a semiconductor chip, i.e., an interposer (subcircuit board), is not employed.

**SOLUTION:** A semiconductor chip 21 has a structure where a first connecting electrode 23 formed on the periphery of the upper surface of a silicon substrate 22 is exposed through an opening 25 of a protective film 24. An insulation film 30 is formed entirely on the circumference of the semiconductor chip 21 except the opening 25. A routing wire 37 of electroless plating layer is formed on the first connecting electrode 23 and in a groove 33 made in the upper, side and lower surfaces of the insulation film 30. A second connecting electrode 36 of electroless plating layer is formed in a groove 32 made in the lower surface of the insulation film 30. The routing wire 37 is covered with a protective film 38 and a solder bump 39 is formed on the second connecting electrode 36.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

[Date of extinction of right]

Copyright (C) 1998,2000 Japan Patent Office

THIS PAGE BLANK (ISPTO)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-135270

(43) 公開日 平成10年(1998)5月22日

(51) Int.Cl.<sup>6</sup>  
H 01 L 21/60

識別記号  
311

F I  
H 01 L 21/60

311S

審査請求 未請求 請求項の数8 FD (全10頁)

(21) 出願番号 特願平8-304193

(22) 出願日 平成8年(1996)10月31日

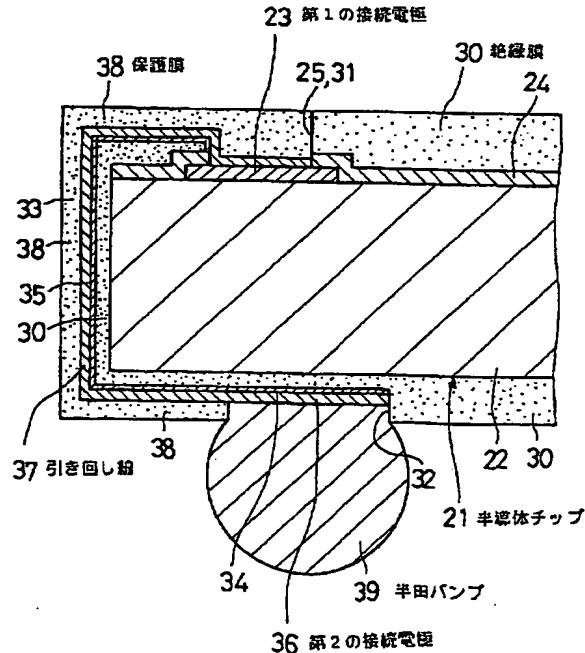
(71) 出願人 000001443  
カシオ計算機株式会社  
東京都渋谷区本町1丁目6番2号  
(72) 発明者 山本 充彦  
東京都青梅市今井3丁目10番地6 カシオ  
計算機株式会社青梅事業所内  
(74) 代理人 弁理士 杉村 次郎

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 C S P等と呼ばれる半導体装置において、半導体チップとは別の部品であるインターポーラ (サブ回路基板) を用いない構造とする。

【解決手段】 半導体チップ21は、シリコン基板22の上面周辺部に形成された第1の接続電極23が保護膜24の開口部25を介して露出された構造となっている。開口部25を除く半導体チップ21の周囲全体には絶縁膜30が形成されている。第1の接続電極23上及び絶縁膜30の上面、側面、下面に形成された溝33内には無電解メッキ層からなる引き回し線37が形成されている。絶縁膜30の下面に形成された溝32内には無電解メッキ層からなる第2の接続電極36が形成されている。引き回し線37上には保護膜38が形成されている。第2の接続電極36上には半田バンプ39が形成されている。



## 【特許請求の範囲】

【請求項1】 一面の周辺部に複数の第1の接続電極が配列形成された半導体チップと、前記第1の接続電極を除く前記半導体チップの一の面、側面及び他の面を覆うように形成された絶縁膜と、前記半導体チップの他の面に形成された前記絶縁膜上に配列形成された複数の第2の接続電極と、前記第1の接続電極上と前記半導体チップの一の面、側面及び他の面とに形成され、前記第1の接続電極と前記第2の接続電極との間を導通する複数の引き回し線と、前記第2の接続電極上に形成された金属バンプとを具備することを特徴とする半導体装置。

【請求項2】 一面の周辺部に複数の第1の接続電極が配列形成された半導体チップと、前記第1の接続電極を除く前記半導体チップの一の面を覆うように形成された絶縁膜と、この絶縁膜上に配列形成された複数の第2の接続電極と、前記第1の接続電極上と前記絶縁膜上とに形成され、前記第1の接続電極と前記第2の接続電極との間を導通する複数の引き回し線と、前記第2の接続電極上に形成された金属バンプとを具備することを特徴とする半導体装置。

【請求項3】 請求項1または2記載の発明において、前記引き回し線上に保護膜が形成されていることを特徴とする半導体装置。

【請求項4】 一面の周辺部に複数の第1の接続電極が配列形成された半導体チップを用意し、前記第1の接続電極を除く前記半導体チップの一の面、側面及び他の面を覆うように絶縁膜を形成し、レーザの照射により、前記半導体チップの他の面に形成された前記絶縁膜の表面における複数の第2の接続電極形成領域に無電解メッキ可能部を形成するとともに、前記半導体チップの一の面、側面及び他の面に形成された前記絶縁膜の表面において前記第1の接続電極と前記第2の接続電極形成領域との間の複数の引き回し線形成領域に無電解メッキ可能部を形成し、無電解メッキにより、前記第2の接続電極形成領域上に第2の接続電極を形成するとともに、前記第1の接続電極上及び前記引き回し線形成領域上に前記第1の接続電極と前記第2の接続電極との間を導通する引き回し線を形成し、前記第2の接続電極上に金属バンプを形成することを特徴とする半導体装置の製造方法。

【請求項5】 一面の周辺部に複数の第1の接続電極が配列形成された半導体チップを用意し、前記第1の接続電極を除く前記半導体チップの一の面において前記第1の接続電極に対応する部分を除く部分を覆うように絶縁膜を形成し、レーザの照射により、前記絶縁膜の表面における複数の第2の接続電極形成領域に無電解メッキ可能部を形成するとともに、前記絶縁膜の表面において前記第1の接続電極と前記第2の接続電極形成領域との間の複数の引き回し線形成領域に無電解メッキ可能部を形成し、無電解メッキにより、前記第2の接続電極形成領域上に第2の接続電極を形成するとともに、前記第1

の接続電極上及び前記引き回し線形成領域上に前記第1の接続電極と前記第2の接続電極との間を導通する引き回し線を形成し、前記第2の接続電極上に金属バンプを形成することを特徴とする半導体装置の製造方法。

【請求項6】 請求項4または5記載の発明において、前記レーザはエキシマレーザであることを特徴とする半導体装置の製造方法。

【請求項7】 一面の周辺部に複数の第1の接続電極が配列形成された半導体チップを用意し、前記第1の接続電極を除く前記半導体チップの一の面を覆うように絶縁膜を形成し、導電性ペーストの印刷により、前記絶縁膜上に複数の第2の接続電極を配列形成するとともに、前記絶縁膜上に前記第1の接続電極と前記第2の接続電極との間を導通する複数の引き回し線を形成し、前記第2の接続電極上に金属バンプを形成することを特徴とする半導体装置の製造方法。

【請求項8】 請求項4～7のいずれかに記載の発明において、前記第2の接続電極上に前記金属バンプを形成する前に、前記引き回し線上に保護膜を形成することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】例えばCSP(chip size package)と呼ばれるLSI等からなる半導体チップの実装技術では、半導体チップを回路基板(メイン回路基板)上に直接実装するのではなく、サブ回路基板を介して実装している。図20は従来のこのような半導体装置(半導体チップとサブ回路基板とを一体化してなるもの)の一例を示したものである。サブ回路基板を構成するポリイミド等からなるフィルム基板1の全体には複数の円孔2がマトリックス状に配列形成されている。フィルム基板1の下面には各円孔2を塞ぐように複数の第1の接続電極3が形成されている。フィルム基板1の下面周辺部には複数の第2の接続電極4が該下面から周囲に突出して配列形成されている。複数の第1の接続電極3と複数の第2の接続電極4との対応するもの同士は、フィルム基板1の下面に形成された複数の引き回し線5を介して、それぞれ電気的に接続されている。第1の接続電極3の円孔2を介して露出された露出面上にはほぼ球状の半田バンプ6が設けられている。

【0003】一方、半導体チップ11は、シリコン基板12の上面周辺部に複数の接続電極13が配列形成され、接続電極13の中央部を除くシリコン基板12の上面全体に酸化シリコンや窒化シリコンからなる保護膜14が形成され、接続電極13の中央部が保護膜14に形成された開口部15を介して露出された構造となっている。そして、フィルム基板1は半導体チップ11の保護

膜14の上面中央部に弾性接着剤層16を介して接着され、第2の接続電極4は半導体チップ11の接続電極13に図示しない半田を介して接合され、この接合部分は樹脂封止材17によって封止されている。

## 【0004】

【発明が解決しようとする課題】しかしながら、従来のこのような半導体装置では、サブ回路基板として半導体チップ11とは別の部品である比較的厚いフィルム基板1を用い、しかもこのフィルム基板1を半導体チップ11の保護膜14の上面にこれまた比較的厚い弾性接着剤層16を介して接着しているので、全体的にかなり厚くなるという問題があった。また、フィルム基板1の第2の接続電極4を半導体チップ11の接続電極13に接合しているので、この接合が確実であるか否かの検査を行わなければならず、面倒であるという問題もあった。この発明の課題は、サブ回路基板を用いない構造とし、半導体装置を全体的に薄型化するとともに、接合検査を不要とすることである。

## 【0005】

【課題を解決するための手段】請求項1記載の発明に係る半導体装置は、一面の周辺部に複数の第1の接続電極が配列形成された半導体チップと、前記第1の接続電極を除く前記半導体チップの一の面、側面及び他の面を覆うように形成された絶縁膜と、前記半導体チップの他の面に形成された前記絶縁膜上に配列形成された複数の第2の接続電極と、前記第1の接続電極上と前記半導体チップの一の面、側面及び他の面とに形成され、前記第1の接続電極と前記第2の接続電極との間を導通する複数の引き回し線と、前記第2の接続電極上に形成された金属バングとを具備したものである。請求項4記載の発明に係る半導体装置の製造方法は、一面の周辺部に複数の第1の接続電極が配列形成された半導体チップを用意し、前記第1の接続電極を除く前記半導体チップの一の面、側面及び他の面を覆うように絶縁膜を形成し、レーザの照射により、前記半導体チップの他の面に形成された前記絶縁膜の表面における複数の第2の接続電極形成領域に無電解メッキ可能部を形成するとともに、前記半導体チップの一の面、側面及び他の面に形成された前記絶縁膜の表面において前記第1の接続電極と前記第2の接続電極形成領域との間の複数の引き回し線形成領域に無電解メッキ可能部を形成し、無電解メッキにより、前記第2の接続電極形成領域上に第2の接続電極を形成するとともに、前記第1の接続電極上及び前記引き回し線形成領域上に前記第1の接続電極と前記第2の接続電極との間を導通する引き回し線を形成し、前記第2の接続電極上に金属バングを形成するようにしたものである。

【0006】請求項1及び4記載の発明によれば、半導体チップの一の面、側面及び他の面を覆うように形成された絶縁膜の表面に第2の接続電極及び引き回し線を形

成し、半導体チップとは別の部品であるサブ回路基板を用いていないので、半導体装置を全体的に薄型化することができる。また、半導体チップの第1の接続電極上に引き回し線を形成しているので、第2の接続電極及び引き回し線の形成と同時に引き回し線を第1の接続電極に確実に接合することができ、したがって接合検査を不要とすることができます。

## 【0007】

【発明の実施の形態】次に、この発明の第1実施形態における半導体装置の製造方法について図1～図10を順に参照しながら説明する。まず、図1及び図2に示す半導体チップ21を用意する。この半導体チップ21は、図20に示す従来のものと同じであって、シリコン基板22の上面周辺部にアルミニウムからなる複数の第1の接続電極23が配列形成され、第1の接続電極23の中央部を除くシリコン基板22の上面全体に酸化シリコンや塗化シリコンからなる保護膜24が形成され、第1の接続電極23の中央部が保護膜24に形成された開口部25を介して露出された構造となっている。

【0008】次に、図3に示すように、低圧スクリーン印刷等により、接続電極23の保護膜24の開口部25を介して露出された露出面上に、ポリイミド系等の樹脂からなる突起26を形成する。次に、図4に示すように、下金型27内に半導体チップ21を突起26を下側にして配置し、次いで下金型27内を上金型28で閉じる。この状態では、半導体チップ21の周囲全体に、突起26の高さに対応するほぼ一定の間隔のキャビティ29が形成されている。次に、このキャビティ29内にエポキシ系やポリイミド系等の樹脂を充填することにより、半導体チップ21の周囲全体を覆うように絶縁膜30を形成する。

【0009】次に、図示しない所定パターンのレジストマスクを用いたフォトリソグラフィにより、突起26を除去すると、図5に示すように、保護膜24の開口部25に対応する部分における絶縁膜30に開口部31が形成される。したがって、この状態では、第1の接続電極23の中央部は保護膜24の開口部25及び絶縁膜30の開口部31を介して露出されている。

【0010】次に、図6～図8に示すように、絶縁膜30に溝32、33を形成するが、まず溝32、33の位置等について説明し、その後で溝32、33の形成方法について説明する。図7及び図8に示すように、半導体チップ21の下面に形成された絶縁膜30の表面側には複数の円形状の第2の接続電極形成用溝32がマトリックス状に形成されている。また、図6～図8に示すように、半導体チップ21の上面、側面及び下面に形成された絶縁膜30の各表面側には、保護膜24及び絶縁膜30の複数の開口部25、31と複数の第2の接続電極形成用溝32との相対応するもの同士をそれぞれ連結するための複数の引き回し線形成用溝33が形成されてい

る。

【0011】次に、溝32、33の形成方法について説明する。エキシマレーザを半導体チップ21の上面、側面及び下面に形成された絶縁膜30の各表面の所定の箇所にスキャン照射すると、この照射領域における絶縁膜30の表面側を形成する樹脂の分子の結合が切断されることにより、同照射領域における絶縁膜30の表面側がエッチングされ、これにより深さ数十 $\mu\text{m}$ 程度の溝32、33が形成される。引き回し線形成用溝33の幅は、半導体チップ21のサイズ、第1の接続電極23の個数及びピッチ等に左右されるが、一般的には100 $\mu\text{m}$ 程度以下とする。

【0012】ところで、エキシマレーザの代わりに、CO<sub>2</sub>レーザやYAGレーザを用いてもよい。しかし、波長は短いものほどよく、したがってエキシマレーザが最も好ましい。その理由は、波長が短いと、絶縁膜30の表面側をエッチングするとき、熱ダメージが少なく、非常に形の整った溝32、33を形成することができるからである。また、エキシマレーザの場合には、溝32、33の底面が粗くなり、該底面の表面性質が疎水性から親水性へと変質し、図8に示すように、溝32、33の底面に表面活性層34、35が形成される。表面活性層34、35を形成するのは、後で説明する無電解メッキのための無電解メッキ可能部を形成するためである。これに対して、CO<sub>2</sub>レーザやYAGレーザの場合には、溝32、33が形成されるだけであり、したがってその後に溝32、33の底面の表面性質を疎水性から親水性へと変質するために、エキシマレーザを照射することになる。この場合、エキシマレーザの照射幅は溝32、33の幅と同じかそれ以下とする。

【0013】次に、アルミニウムからなる第1の接続電極23の表面の自然酸化膜(図示せず)をHF系やリン酸系のエッチング液を用いて除去する。次に、図9に示すように、ニッケル等の無電解メッキを行うことにより、第2の接続電極形成用溝32の表面活性層34の表面に金属メッキ層からなる第2の接続電極36を形成するとともに、第1の接続電極23の表面及び引き回し線形成用溝33の表面活性層35の表面に金属メッキ層からなる引き回し線37を形成する。この状態では、第1の接続電極23と第2の接続電極36とは引き回し線37を介して電気的に接続されている。

【0014】次に、図10に示すように、ディスペンサ等により、保護膜24及び絶縁膜30の開口部25、31内及び引き回し線形成用溝33内にエポキシ系やポリイミド系等の樹脂を塗布して保護膜38を形成する。この保護膜38は、引き回し線37の表面を保護するとともに、次に説明する半田バンプ形成時の半田流出防止用壁部としての役目を果たすものである。次に、第2の接続電極36上に、半田ボールを搭載あるいは半田ペーストを印刷した後にリフローすることにより、ほぼ球状

の半田バンプ39を形成する。かくして、この第1実施形態における半導体装置が製造される。

【0015】このようにして得られた半導体装置では、半導体チップ21の上面、側面及び下面を覆うように形成された絶縁膜30の表面側に第2の接続電極36及び引き回し線37を形成し、半導体チップ21とは別の部品であるサブ回路基板を用いていないので、全体的に薄型化することができる。この場合、第2の接続電極36及び引き回し線37下における絶縁膜30の厚さは、第2の接続電極36及び引き回し線37がシリコン基板22とショートしないことを条件として、可及的に薄くすることができる。また、半導体チップ21の第1の接続電極23上に引き回し線37を形成しているので、第2の接続電極36及び引き回し線37の形成と同時に引き回し線37を第1の接続電極23に確実に接合することができ、したがって接合検査を不要とすることができる。この場合、引き回し線形成用溝33内及び絶縁膜30の開口部31内に引き回し線37を形成しているので、保護膜38がなくても、引き回し線37が他の電子部品等とショートしにくいようにすることができる。

【0016】なお、上記第1実施形態では、図3に示す突起26をポリイミド系等の樹脂によって形成した場合について説明したが、これに限らず、第1の接続電極23の材料と異なる金属材料によって形成してもよい。また、保護膜38を形成せずに、引き回し線37の表面に金等の酸化しにくい金属材料からなる無電解メッキ層を形成するようにしてもよい。この場合、引き回し線形成用溝33内及び絶縁膜30の開口部31内に引き回し線37を形成しているので、保護膜38がなくても、引き回し線37が他の電子部品等とショートしにくいようにすることができる。

【0017】次に、この発明の第2実施形態における半導体装置の製造方法について図11～図14を順に参照しながら説明する。この第2実施形態においても、上記第1実施形態の場合と同様に、まず図1及び図2に示す半導体チップ21を用意する。次に、図11に示すように、スクリーン印刷等により、開口部25を除く保護膜24の上面を覆うように、ポリイミド系等の樹脂からなる絶縁膜41を形成する。したがって、この状態では、保護膜24の開口部25に対応する部分における絶縁膜41には開口部42が形成されている。

【0018】次に、図12及び図13に示すように、エキシマレーザのスキャン照射により、絶縁膜41の表面の所定の箇所に表面活性層43、44を形成する。すなわち、絶縁膜41の表面において複数の第1の接続電極23によって囲まれた領域内に、複数の円形状の第2の接続電極形成用表面活性層43をマトリックス状に形成するとともに、保護膜24及び絶縁膜41の複数の開口部25、42と複数の第2の接続電極形成用表面活性層43との相対応するもの同士をそれぞれ連結するための

複数の引き回し線形成用表面活性層44を形成する。

【0019】ここで、この場合のエキシマレーザの照射について、もう少し具体的に説明する。KrFエキシマレーザの場合には、光エネルギーが約5.0 eVであるので、絶縁膜41の材料である高分子材料の基本的な結合であるC-C結合(3.5 eV)及びC-H結合(4.3 eV)を容易に切断することができる。また、発振パルス幅が10 nm程度と極めて短いので、熱の拡散を小さくすることができる。さらに、波長が0.248 μmと短いので、吸収係数を大きくすることができ、かつ侵入深さを浅くすることができる。以上のことから、絶縁膜41の表面性質を疎水性から親水性へと変質させるために、絶縁膜41の表面側をエッチングするとき、低熱ダメージできれいに加工することができる。また、この場合のエッチング深さは数 μm程度である。

【0020】次に、アルミニウムからなる第1の接続電極23の表面の自然酸化膜(図示せず)をHF系やリン酸系のエッチング液を用いて除去する。次に、図14に示すように、亜鉛やニッケル等の無電解メッキを行うことにより、第1の接続電極23の表面及び表面活性層43、44の表面に接着用の第1の導体層を厚さ数 μm程度と薄く形成し、次いで銅等の無電解メッキを行うことにより、第1の導体層の表面に第2の導体層を形成し、これにより第2の接続電極形成用表面活性層43の表面に第2の接続電極45を形成するとともに、第1の接続電極23の表面及び引き回し線形成用表面活性層44の表面に引き回し線46を形成する。この状態では、第1の接続電極23と第2の接続電極45とは引き回し線46を介して電気的に接続されている。なお、第2の導体層の表面に金の無電解メッキにより酸化防止用の第3の導体層を形成するようにしてもよい。

【0021】次に、スクリーン印刷等により、第2の接続電極45を除く上面全体にエポキシ系やポリイミド系等の樹脂を塗布して保護膜47を形成する。この保護膜47は、引き回し線46の表面を保護するとともに、次に説明する半田バンプ形成時の半田流出防止用壁部としての役目を果たすものであり、その厚さは表面活性層44上における引き回し線46上において10 μm程度以下でも十分である。次に、第2の接続電極45上に、半田ボールを搭載あるいは半田を印刷した後にリフローすることにより、ほぼ球状の半田バンプ48を形成する。かくして、この第2実施形態における半導体装置が製造される。

【0022】このようにして得られた半導体装置でも、サブ回路基板を用いていないので、全体的に薄型化することができる。この場合、半導体チップ21の上面側のみを覆うように絶縁膜41等を形成しているので、上記第1実施形態の場合よりもさらに薄型化することができる。また、半導体チップ21の第1の接続電極23上に引き回し線46を形成しているので、第2の接続電極4

5及び引き回し線46の形成と同時に引き回し線46を第1の接続電極23に確実に接合することができ、したがって接合検査を不要とすることができる。さらに、半導体チップ21の上面側のみに絶縁膜41等を形成しているので、ウェハの状態において半田バンプ48の形成まで行うこともできる。

【0023】なお、上記第2実施形態では、図12に示す表面活性層43、44をエキシマレーザのスキャン照射によって形成しているが、これに限定されるものではない。この第2実施形態の場合には、半導体チップ21の上面にのみ絶縁膜41を形成しているので、所定パターンのマスクを用いた一括照射により、表面活性層43、44を形成するようにしてもよい。また、上記第2実施形態では、図14に示すように、第1の接続電極23上に引き回し線46を直接形成しているが、これに限定されるものではない。例えば、図15に示すように、絶縁膜41を形成した後に、この絶縁膜41の開口部42内に亜鉛やニッケル等の無電解メッキにより中間層49を形成し、次いで表面活性層43、44を形成し、次いで引き回し線46及び第2の接続電極45を形成するようにしてもよい。

【0024】次に、この発明の第3実施形態における半導体装置の製造方法について図16～図19を順に参照しながら説明する。この第3実施形態においても、上記第1実施形態の場合と同様に、まず図1及び図2に示す半導体チップ21を用意する。次に、図16に示すように、スクリーン印刷等により、開口部25を除く保護膜24の上面を覆うように、ポリイミド系等の樹脂からなる第1の絶縁膜51を厚さ100 μm以下に形成する。したがって、この状態では、保護膜24の開口部25に対応する部分における第1の絶縁膜51には開口部52が形成されている。

【0025】次に、図17及び図18に示すように、スクリーン印刷等により、第1の接続電極23の露出面を含む引き回し線形成部53及び第2の接続電極形成部54を除く第1の絶縁膜51の上面全体に、ポリイミド系等の樹脂からなる第2の絶縁膜55を厚さ100 μm程度以下に形成する。したがって、この状態では、第2の絶縁膜55において複数の第1の接続電極23によって囲まれた領域内に、複数の円形状の開口部からなる第2の接続電極形成部54がマトリックス状に形成されているとともに、保護膜24及び第1の絶縁膜51の複数の開口部25、52と複数の第2の接続電極形成部54との相対応するもの同士をそれぞれ連結するための複数の開口部からなる引き回し線形成部53が形成されている。なお、第2の絶縁膜55は、次に説明する導電性ペースト塗布時の導電性ペースト流出防止用壁部としての役目のみを果たすものであるので、その厚さは第1の絶縁膜51の厚さよりも薄くしてもよい。

【0026】次に、アルミニウムからなる第1の接続電

極23の表面の自然酸化膜(図示せず)をHF系やリン酸系のエッティング液を用いて除去する。次に、図19に示すように、スクリーン印刷等により、引き回し線形成部53及び第2の接続電極形成部54に導電性ペースト(例えば、銀等の金属粒子を含有するペースト)を塗布することにより、引き回し線56及び第2の接続電極57を形成する。この状態では、第1の接続電極23と第2の接続電極57とは引き回し線56を介して接続されている。なお、第2の絶縁膜55をポリイミドによって形成する場合、その塗布後に硬化させるための温度は300~350°C程度とし、ペーク時間は60~90分程度とする。そして、導電性ペーストを硬化させるための温度は200°C程度以下とする。

【0027】次に、スクリーン印刷等により、第2の接続電極57を除く上面全体にエポキシ系やポリイミド系等の樹脂を塗布して保護膜58を形成する。この保護膜58は、引き回し線56の表面を保護するとともに、次に説明する半田バンプ形成時の半田流出防止用壁部としての役目を果たすものであり、その厚さは第1の絶縁膜51上における引き回し線56上において10μm程度以下でも十分である。次に、第2の接続電極57上に、半田ボールを搭載あるいは半田ペーストを印刷した後にリフローすることにより、ほぼ球状の半田バンプ59を形成する。かくして、この第3実施形態における半導体装置が製造される。

【0028】このようにして得られた半導体装置でも、サブ回路基板を用いていないので、全体的に薄型化することができる。この場合、同様に半導体チップ21の上面側のみを覆うように第1の絶縁膜51等を形成しているので、上記第1実施形態の場合よりもさらに薄型化することができる。また、半導体チップ21の第1の接続電極23上に引き回し線56を形成しているので、第2の接続電極57及び引き回し線56の形成と同時に引き回し線56を第1の接続電極23に確実に接合することができ、したがって接合検査を不要とすることができる。また、半導体チップ21の上面のみに第1の絶縁膜51等を形成しているので、ウェハの状態において半田バンプ59の形成まで行うこともできる。さらに、第2の接続電極57及び引き回し線56をスクリーン印刷等により形成しているので、無電解メッキによる場合よりも簡単に形成することができる。

【0029】

【発明の効果】以上説明したように、この発明によれば、半導体チップの一の面等を覆うように形成された絶縁膜の表面に第2の接続電極及び引き回し線を形成し、半導体チップとは別の部品であるサブ回路基板を用いていないので、半導体装置を全体的に薄型化することができる。また、半導体チップの第1の接続電極上に引き回し線を形成しているので、第2の接続電極及び引き回し線の形成と同時に引き回し線を第1の接続電極に確実に接合することができ、したがって接合検査を不要とすることができる。

【図面の簡単な説明】

【図1】この発明の第1実施形態における半導体装置の製造に際し、当初用意した半導体チップの平面図。

【図2】図1のA-A線に沿う断面図。

【図3】図2に続く製造工程の断面図。

【図4】図3に続く製造工程の断面図。

【図5】図4に続く製造工程の断面図。

【図6】図5に続く製造工程の平面図。

【図7】図6に示すものの底面図。

【図8】図6のB-B線に沿う断面図。

【図9】図8に続く製造工程の断面図。

【図10】図9に続く製造工程の断面図。

【図11】この発明の第2実施形態における半導体装置の製造に際し、当初の製造工程の断面図。

【図12】図11に続く製造工程の平面図。

【図13】図12のC-C線に沿う断面図。

【図14】図13に続く製造工程の断面図。

【図15】第2実施形態の変形例の断面図。

【図16】この発明の第3実施形態における半導体装置の製造に際し、当初の製造工程の断面図。

【図17】図16に続く製造工程の平面図。

【図18】図17のD-D線に沿う断面図。

【図19】図18に続く製造工程の断面図。

【図20】従来の半導体装置の一例の断面図。

【符号の説明】

21 半導体チップ

23 第1の接続電極

30 絶縁膜

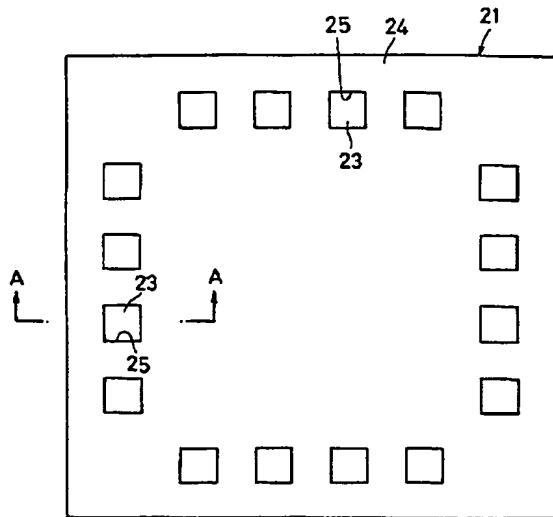
36 第2の接続電極

37 引き回し線

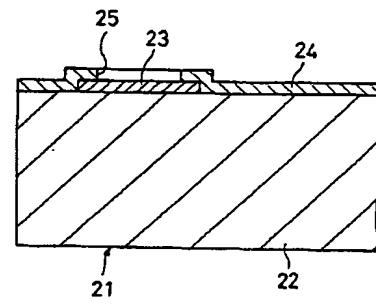
38 保護膜

39 半田バンプ

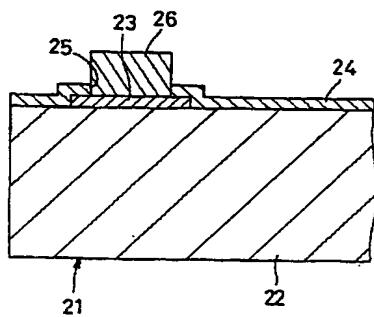
【図1】



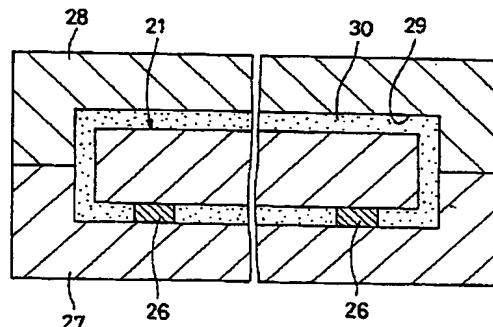
【図2】



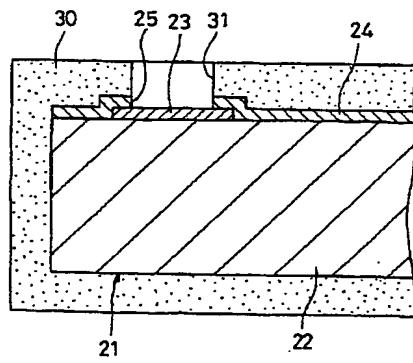
【図3】



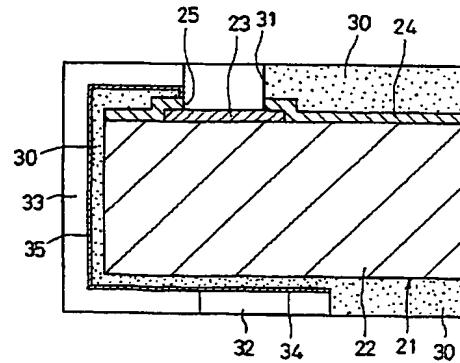
【図4】



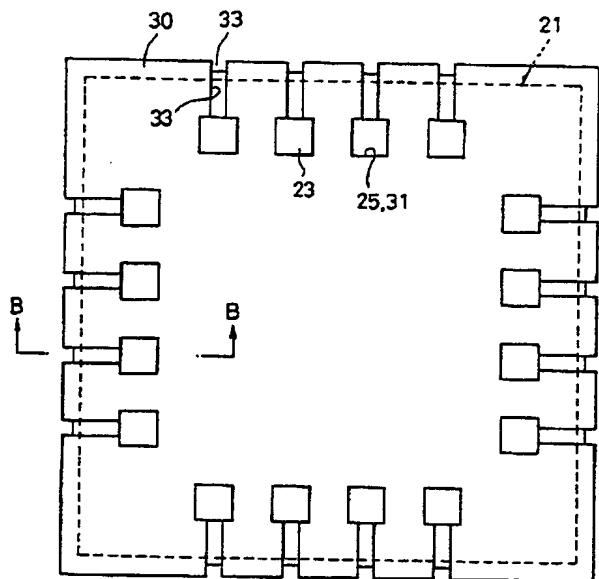
【図5】



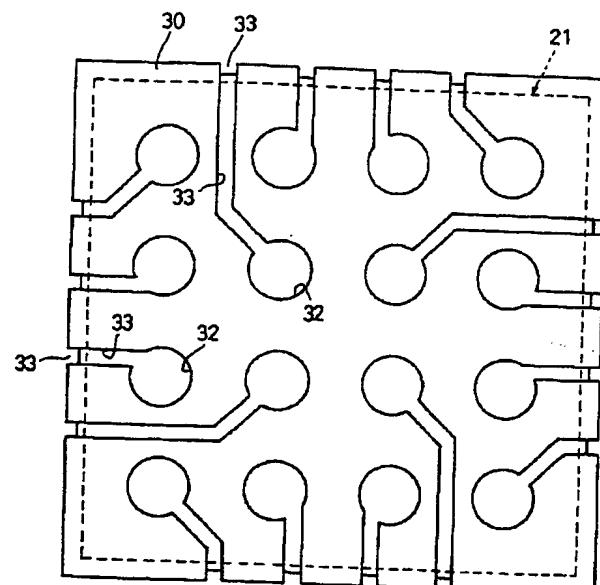
【図8】



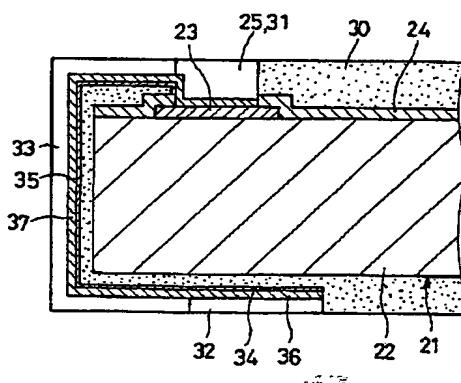
【図6】



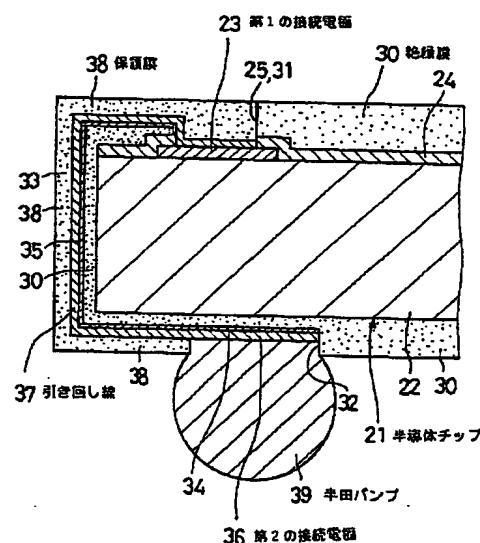
【図7】



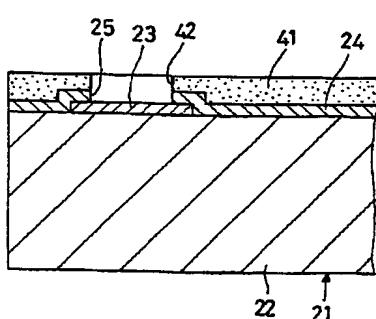
【図9】



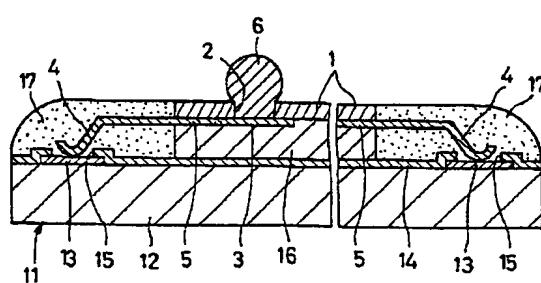
【図10】



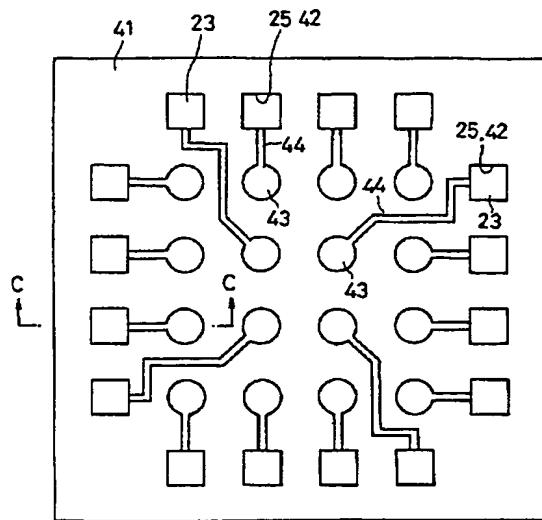
【図11】



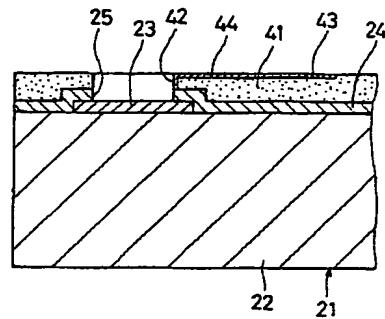
【図20】



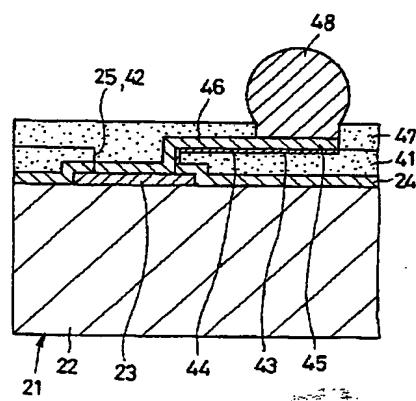
【図12】



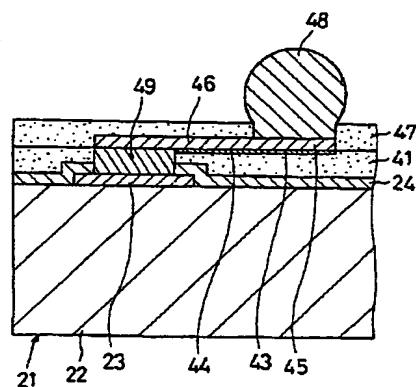
【図13】



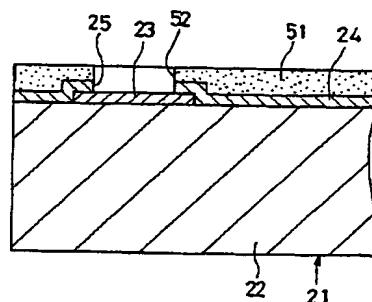
【図14】



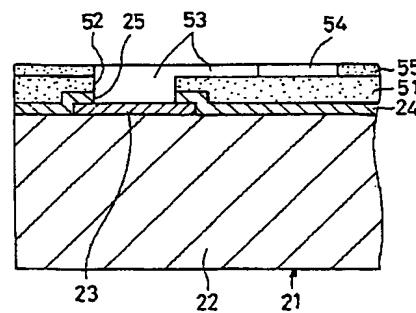
【図15】



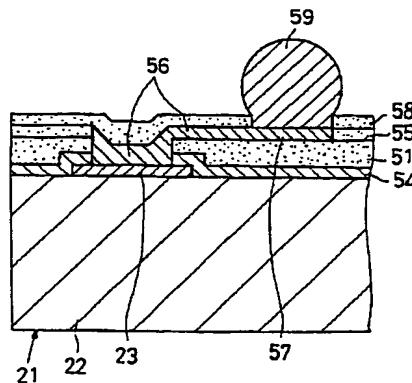
【図16】



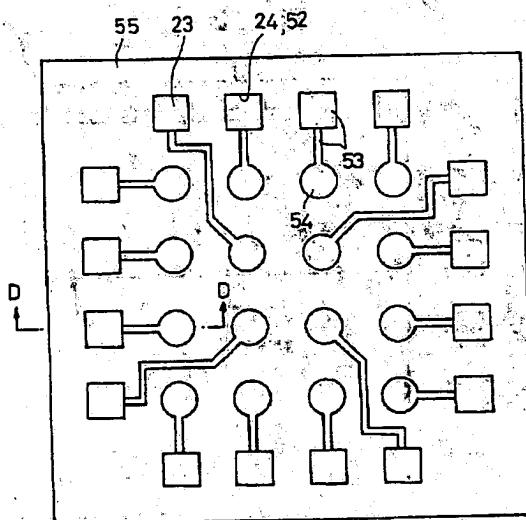
【図18】



【図19】



【图17】



T S3/7

3/7/1

DIALOG(R)File 351:Derwent WPI

(c) 2002 Thomson Derwent. All rts. reserv.

011936645 \*\*Image available\*\*

WPI Acc No: 1998-353555/199831

Semiconductor device e.g. LSI - has metal bump soldered on second connection electrode formed on lower surface of substrate

Patent Assignee: CASIO COMPUTER CO LTD (CASK )

Inventor: YAMAMOTO M

Number of Countries: 003 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 10135270	A	19980522	JP 96304193	A	19961031	199831 B
KR 98033347	A	19980725	KR 9756556	A	19971030	199932
US 5925931	A	19990720	US 97956140	A	19971022	199935
KR 272045	B	20001201	KR 9756556	A	19971030	200173

Priority Applications (No Type Date): JP 96304193 A 19961031

Patent Details:

Patent No	Kind	Lat	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

JP 10135270	A	10	H01L-021/60
-------------	---	----	-------------

KR 98033347	A		H01L-021/48
-------------	---	--	-------------

US 5925931	A		H01L-023/528
------------	---	--	--------------

KR 272045	B		H01L-021/60	Previous Publ. patent KR 98033347
-----------	---	--	-------------	-----------------------------------

Abstract (Basic): JP 10135270 A

The device has multiple first connection electrodes (23) formed on periphery of upper surface of a semiconductor substrate (22). An insulating film (30) is formed on the upper and lower surfaces and the side of the substrate leaving the electrodes uncovered. Multiple second connection electrodes (36) are formed on the lower surface of the substrate.

Multiple leading lines (37) are formed on both surfaces and the side of the substrate to connect the first and the second connection

THIS PAGE BLANK (USPTO)

electrodes. A metal bump (39) is soldered on to the second connection electrode.

ADVANTAGE - Has thin shape. Avoids need junction inspection.

Dwg.5/20

Derwent Class: U11

International Patent Class (Main): H01L-021/48; H01L-021/60; H01L-023/528

International Patent Class (Additional): H01L-023/48; H01L-023/52

?

THIS PAGE BLANK (USPTO)